

PAT-NO: JP358111345A

DOCUMENT-IDENTIFIER: JP 58111345 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 2, 1983

INVENTOR-INFORMATION:

NAME

KITAMURA, YUKINORI

AKAMATSU, YOSHINORI

OHASHI, YOITSU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI MICRO COMPUT ENG LTD

N/A

APPL-NO: JP56209400

APPL-DATE: December 25, 1981

INT-CL (IPC): H01L021/76, H01L021/95 , H01L029/72

US-CL-CURRENT: 257/E21.563, 438/349 , 438/FOR.258

ABSTRACT:

PURPOSE: To reduce parasitic capacitance through reduction of PN junction area and increase degree of freedom of structure by electrically isolating semiconductor elements with an SiO<sub>2</sub> film obtained by the implantation of oxygen ion.

CONSTITUTION: An example of insulatingly isolating a substrate and buried layer is explained. A mask 9 is provided on the surface of P type Si substrate 1 and the surface is annealed by implanting the oxygen ion 10. At this time, an implanting accelerating voltage is 150KV and a depth from the substrate surface is about 400nm. An SiO<sub>2</sub> 8 is formed in the substrate by this process. Next, a donor impurity such as Sb is introduced into a thin Si film 11 on the oxide film 8. Thereafter, the mask 9 is removed and an N type Si layer 3 is epitaxially grown on the entire part thereof. In this process, an N<sup>+</sup> buried layer 2 is formed simultaneously. Succeedingly, each element region is formed by the ordinary process. Since the substrate 1 is isolated by the SiO<sub>2</sub> film 8 from the buried layer 2, a parasitic capacitance is reduced as much. In addition to the above example, this method can be adopted to various processes.

COPYRIGHT: (C)1983,JPO&Japio

⑬ 日本国特許庁 (JP) ⑭ 特許出願公開  
⑯ 公開特許公報 (A) 昭58—111345

⑰ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑱ 公開 昭和58年(1983)7月2日  
H 01 L 21/76 8122—5F  
21/95 7739—5F  
29/72 7514—5F 発明の数 3  
審査請求 未請求

(全 6 頁)

⑳ 半導体装置

㉑ 特 願 昭56—209400

㉒ 出 願 昭56(1981)12月25日

㉓ 発 明 者 北村幸則  
小平市上水本町1479番地日立マ  
イクロコンピュータエンジニア  
リング株式会社内

㉔ 発 明 者 赤松由規  
小平市上水本町1479番地日立マ  
イクロコンピュータエンジニア  
リング株式会社内

㉕ 発 明 者 大橋洋逸

小平市上水本町1479番地日立マ  
イクロコンピュータエンジニア  
リング株式会社内

㉖ 出 願 人 株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号

㉗ 出 願 人 日立マイクロコンピュータエン  
ジニアリング株式会社  
小平市上水本町1479番地

㉘ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 第1導電型半導体基板上に第2導電型半導体層を形成してその一部をコレクタとし、該第2導電型半導体層の他部表面に第1導電型領域を形成してその一部をベースとし、該第2導電型領域の他部表面に第2導電型領域を形成してエミッタとするトランジスタを構成した半導体装置において、第1導電型半導体基板と第2導電型半導体層との接合面に該半導体基板への酸素イオン打込みによる半導体酸化膜を形成したことを特徴とする半導体装置。

2. 第1導電型半導体基板上に第2導電型半導体層を形成してその一部をコレクタとし、該第2導電型半導体層の他部表面に第1導電型領域を形成してその一部をベースとし、該第2導電型領域の他部表面に第2導電型領域を形成してエミッタとするトランジスタを構成した半導体装置において、第1導電型半導体基板と第2導電型半導体層との

接合面、第2導電型半導体層とベースとなる第1導電型領域との接合面の一部及び第1導電型領域とエミッタとなる第2導電型領域との接合面の一部に半導体基板及び半導体層への酸素イオン打込みによる半導体酸化膜を形成したことを特徴とする半導体装置。

3. 第1導電型半導体基板上に第2導電型半導体層を形成し、該第2導電型半導体層の一部表面に第1導電型領域を形成してその一部を配線とし、又は及び該第2導電型領域の他部表面に第2導電型領域を形成して配線とする半導体装置において、第1導電型半導体基板と第2導電型半導体層との接合面に該半導体基板への酸素イオン打込みによる半導体酸化膜を形成するとともに該酸化膜下の半導体基板表面の一部に高濃度第2導電型埋込層からなる配線を形成したことを特徴とする半導体装置。

発明の詳細な説明

本発明は半導体装置、特に酸素イオン打込みによる半導体酸化膜形成技術を用いた半導体装置に

関する。

現在の最も一般的なバイポーラNPNトランジスタ構造は第1図に断面図で示すように、P<sup>-</sup>型Si<sup>1</sup>半導体基板1上に一部でN<sup>+</sup>型埋込層2を介してエピタキシャルN型Si<sup>3</sup>層3を形成し、このN型Si<sup>3</sup>層3をアイソレーションP型層4によりいくつかの領域に分離し、分離された一つのN型Si<sup>3</sup>層3の一部をコレクタとして、このN型Si<sup>3</sup>層3の表面の他部にP型領域5を拡散してその一部をベースとし、P型領域の他部表面にN<sup>+</sup>型領域6を拡散してエミッタとするとともにN型Si<sup>3</sup>層3の表面の一部にN<sup>+</sup>型領域7を拡散してコレクタ取出し部とするものである。

かかるバイポーラNPNトランジスタにおいては、エミッタ・ベース接合部に生ずる寄生容量 $O_{TE}$ 、ベース・コレクタ接合部に生ずる寄生容量 $O_{TC}$ 、及びN<sup>+</sup>型埋込層・P型基板間接合容量 $O_{TB}$ は総量として少なからず、トランジスタの高周波特性や高速性の面で問題がある。これら寄生容量の低減を接合面積を少なくすることにより決

定しようとするればトランジスタの素子の寸法を小さくするより他はないが、マスク処理の点で困難である。

バイポーラ素子を一つの半導体チップ上に多数個組込んで集積回路(I/O)を構成する場合、素子間の配線が複雑化し、配線の多層化がさけられないが、配線の一部を半導体内部に設けようとする場合、半導体層内に前記したように多くのPN接合が存在するため内部配線は困難である。

前記のようなアイソレーションP層の代りに選択酸化膜をアイソレーションに使用した場合は、P基板とN<sup>+</sup>埋込層とは逆バイアスの接合分離構造となり、高速化、基板へのリーク電流及び雑音の面で好ましくないという問題がある。

本発明は上記した従来技術における各種の問題を酸素イオン打込み技術の利用により解決しようとするものである。

したがって本発明の一つの目的はバイポーラ素子の低容量化であり、それに伴う高速化・低雑音

本発明の他の目的はバイポーラ半導体装置における内部配線化であり、それに伴う配線自由度の増加にある。

以下本発明を若干の実施例に就いて詳述する。

#### 実施例1

第2図は本発明の原理的構造を示すバイポーラ半導体装置の断面図である。同図に示すように、P型基板1とN<sup>+</sup>埋込層2との接合面にP型基板への酸素イオン打込みによる半導体酸化膜(SiO<sub>2</sub>)8を形成し、この上にN<sup>+</sup>埋込層2を介してエピタキシャルN層3を形成し、N層3の表面にベースとなるP型領域5、エミッタ・コレクタとなるN<sup>+</sup>型領域6、7を形成してバイポーラNPNトランジスタを構成したものである。

第3図(a)~(e)に上記バイポーラNPNトランジスタの製造プロセスの例が各工程(a)~(e)に従って示される。

(a) 高比抵抗のP型Si<sup>1</sup>基板1(結晶面(100)、比抵抗1,800Ω・cm)の表面に酸化膜等によるマスク9を設け、酸素イオン10をイオン打込み・

アニールする。打込み加速電圧は150KV又はそれ以上、ドーズ量は $1.2 \times 10^{14} \text{ cm}^{-2}$ 、打込み深さはSi<sup>1</sup>表面から約400nm程度とする。アニール温度は900~1150℃で2時間以上とする。

(b) 上記工程でアニール処理により酸化膜8が形成され、この酸化膜の上に薄いSi<sup>1</sup>(単結晶)の膜11が残る。この薄いSi<sup>1</sup>膜の表面にSb<sup>1</sup>のごときドナ不純物をデポジットする。

(c) Sb<sup>1</sup>デポジットに用いた酸化膜等のマスクを除去し、前記の薄いSi<sup>1</sup>膜11を含めてSi<sup>1</sup>基板全面にSi<sup>1</sup>をエピタキシャル成長させ厚さ10μm又はそれ以上の厚さにN型ドーブSi<sup>3</sup>層3を形成する。このN型Si<sup>3</sup>層成長によりP型基板1の酸化膜8とN型層3との間にN<sup>+</sup>埋込層2が形成される。

(d) 通常のアイソレーションプロセスにより、N層3とP基板1との間にアイソレーションP層4を形成し、N層の表面の一部にB(ボロン)選択拡散を行なってベースとなるP領域5を形成する。

(e) As(ヒ素)又はP(リン)の選択拡散を行

なってエミッタ及びコレクタ取出し部となる $N^+$ 領域6, 7を形成し、拡散マスクに使用した表面酸化膜12に対してコンタクトホトエッチを行ない、A $\delta$ 蒸着により各領域にコンタクトする電極B, E, Cを形成する。

#### 実施例2

第4図(a)(b)は実施例1の変形例を示す工程断面図である。

- (a) 前記実施例1の工程(b)の後、エピタキシャル成長による $N$ 型 $Si$ 層3aを通常よりも薄く(5~10 $\mu m$ )形成した上、酸素イオン打込み・アニール処理により $N$ 型 $Si$ 層3aの表面近傍に酸化膜13を形成する。
- (b) 次いで全面にさらに第2のエピタキシャル成長による $N$ 型 $Si$ 層3bを積層し、 $P$ 型ベース5を拡散し、 $N^+$ 型エミッタ6、 $N^+$ 型コレクタ取出し部7を拡散により形成する。エミッタ接合の表面近傍に酸素イオン打込み、アニールを行ない、酸化膜14を形成する。この後、図示されないが、表面酸化膜に対しコンタクトホトエッチを行ない、

A $\delta$ 蒸着ホトエッチにより各領域にコンタクトする電極を形成することになる。

以上実施例1, 2で述べた本発明によれば、 $N^+$ 埋込層と $P$ 型基板の接合面に酸素イオン打込みによる酸化膜を形成するため、少なくともこの接合面での寄生容量 $O_{ps}$ を現在のバイポーラトランジスタの平面寸法を変更することなく減少することができる。又、図4(a)(b)の酸化膜8, 13, 14を形成することにより、サイリスタ防止の効果が得られる。

実施例2で述べた本発明によれば、 $N^+$ 埋込層2の $P$ 基板1の間の他に $P$ ベースと $N$ 層の間及び $N^+$ エミッタとベースの間の接合面の一部に酸素イオン打込みによる酸化膜8, 13, 14を形成するためこれら接合面での寄生容量 $O_{pc}$ ,  $O_{ps}$ をトランジスタの平面寸法を変更することなく減少することができ、高周波特性及び高速性が得られ、例えば $II$ 技術に適用して高性能の回路が得られる。又 $O_{ps}$ の減少によりノイズ特性も優れた低雑音特性も得られる。

#### 実施例3

第5図(a)~(b)は本発明をアイソプレーナ型トランジスタに応用した場合をそのプロセスに従って示すものである。

- (a) 高比抵抗 $Si$ 基板1の表面全面に酸素イオンを打込み、アニールする。打込み加速電圧、ドーズ量、打込み深さ、アニール温度は実施例1の場合と同様又はそれに近い程度とする。
- (b) 上記工程で $Si$ 基板1の表面に近い部に酸化膜8が形成され、この酸化膜の上に薄い $Si$ 膜11が残る。この薄い $Si$ 膜11の表面(一部又は全部)に $N^+$ 埋込層2形成のためのドナ不純物をデポジットし、次いでエピタキシャル成長による低比抵抗 $N$ 型 $Si$ 層3を5~10 $\mu m$ 程度の厚さに形成する。
- (c)  $N$ 型層3の表面の一部に $Si$ ,  $N$ のごとき耐酸化膜15を形成し、これをマスクとして耐酸化性膜の形成されない部分を酸化性雰囲気により選択酸化し、基板表面の酸化膜8に達するアイソレーション酸化膜16を形成する。

- (d) この後、従来のバイポーラ素子製造プロセスと同様のプロセスによる選択拡散を行うことにより、 $P$ 型ベース5、 $N^+$ 型エミッタ6、 $N^+$ 型コレクタ取出し部7を形成し、表面酸化膜のコンタクトホトエッチ後、A $\delta$ 蒸着、エッチ工程を経てアイソプレーナ型バイポーラ $NPN$ トランジスタを得る。

上記の実施例で述べた本発明によれば下記の効果が得られる。

従来の高速アイソプレーナ型バイポーラ素子は素子間は選択酸化膜を利用した絶縁分離構造となっているが基板とコレクタとなる $N^+$ 埋込層との間は逆バイアスの接合分離であり、高速性や基板へのリーク電流及び雑音の点で好ましくない。しかし、酸素イオン打込み技術により基板1と $N^+$ 埋込層2との間に酸化膜8を形成することにより完全分離の構造となり $O_{ps}$ がほとんどなくなり、素子の高速化、低雑音化が実現できる。

#### 実施例4

第6図(a)~(e)は半導体内部に酸素イオン打込み

技術を利用して上層と下層とを絶縁分離し多層の拡散配線を形成する場合の例をそのプロセスに従って示すものである。

- (a) 高比抵抗P型Si基板1の表面に酸化膜17をマスクとする選択拡散によりN<sup>+</sup>拡散配線18を形成する。
- (b) Si基板1の表面に対し酸素イオン打込みを行ない、次いでアニール処理することにより、基板表面から少し深い部分に酸化膜8を形成する。
- (c) 上記酸化膜8の上に残る薄いSi層11上にエピタキシャル成長による低比抵抗N型Si層3を形成する。
- (d) N型Si層3の表面に酸化膜19をマスクとする選択酸化を行ない、P型拡散層20a, 20bを形成し、その一部(20a)を下層配線(又は抵抗)とする、P型拡散層の他部(20b)表面にN<sup>+</sup>拡散層21を形成してこれを他の配線(又は抵抗)とする。
- (e) 表面の酸化膜に対しコンタクトホトエッチを行ない、A<sub>1</sub>蒸着、ホトエッチにより、P拡散層

又はN<sup>+</sup>拡散層を用いた上層配線(又は抵抗)の配線A<sub>2</sub>端子22を形成すると同時に表面のA<sub>1</sub>配線23を形成する。

第7図は第6図(e)で示した下層拡散配線よりの配線取出し構造を示すものである。すなわち、下層N<sup>+</sup>拡散配線18の延長部において、P基板1の上にエピタキシャルN層3を形成し、N層3の表面よりN<sup>+</sup>拡散配線18に接続するN<sup>+</sup>コレクタ拡散(ON)層24を形成し、表面へのN<sup>+</sup>拡散配線取出し層とする。N<sup>+</sup>拡散配線取出し層24の周囲のエピタキシャルN層3には表面よりP基板に達するアイソレーションP層25を設けて各配線取出し層間の絶縁分離を図る。

以上の実施例で述べた本発明によれば下記の効果が得られる。

従来のバイポーラ構造ではP基板、エピタキシャルN層の内部はPN接合でバイアス分離を行なう程度で構造的に制約され半導体内部での多層配線は実現困難である。しかし本発明によれば半導体内部に形成された酸素イオン打込みによるSiO<sub>2</sub>

膜を絶縁膜として半導体層が上層と下層に完全に絶縁分離するから、それぞれの半導体層内にPN接合による配線等の動作活動部を形成することができる。このため本発明によれば配線の自由度が大幅に増加し、狭いチップ内で複雑な配線が可能となった。

#### 図面の簡単な説明

第1図はバイポーラトランジスタの構造の例を示す断面図である。第2図は本発明によるバイポーラトランジスタの原型的構造を示す断面図である。第3図(a)~(e)及び第4図(a)(b)は本発明における実施例1及び実施例2に対応するプロセスの一部を示す工程断面図、第5図(a)~(d)は本発明における実施例3に対応するプロセスの一部を示す工程断面図、第6図(a)~(e)及び第7図は本発明における実施例4に対応するプロセスの一部を示す工程断面図である。

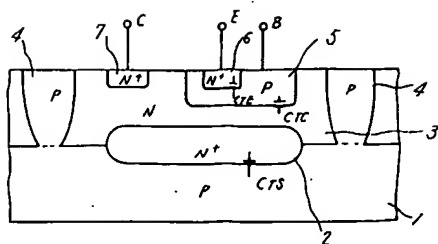
1…P型半導体基板、2…N<sup>+</sup>極込層、3…N型Si層、4…アイソレーションP層、5…ベースP領域、6…エミッタN<sup>+</sup>領域、7…コレクタ

N<sup>+</sup>領域、8…酸素イオン打込みによる酸化膜、9…酸化膜マスク、10…打込み酸素、11…薄いSi膜、12…表面酸化膜、13、14…酸素イオン打込みによる酸化膜、15…耐酸化性膜、16…アイソレーション酸化膜、17…酸化膜マスク、18…拡散配線、19…酸化膜、20a、20b…P型拡散層、21…N型拡散配線、22…A<sub>2</sub>端子、23…A<sub>1</sub>配線、24…コレクタ拡散層、25…アイソレーションP層。

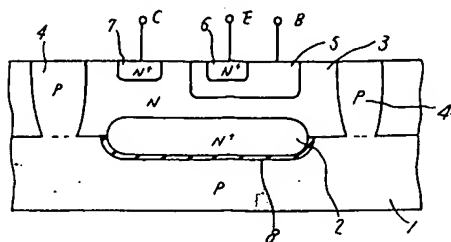
代理人 弁理士 海田利幸

第 3 章

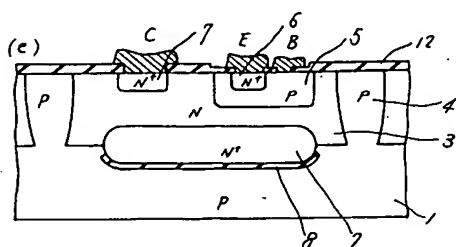
第 1 圖



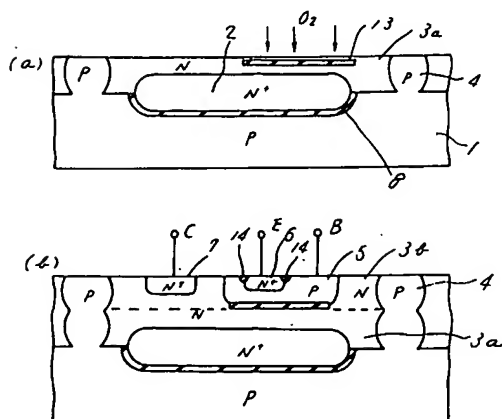
第 2 回



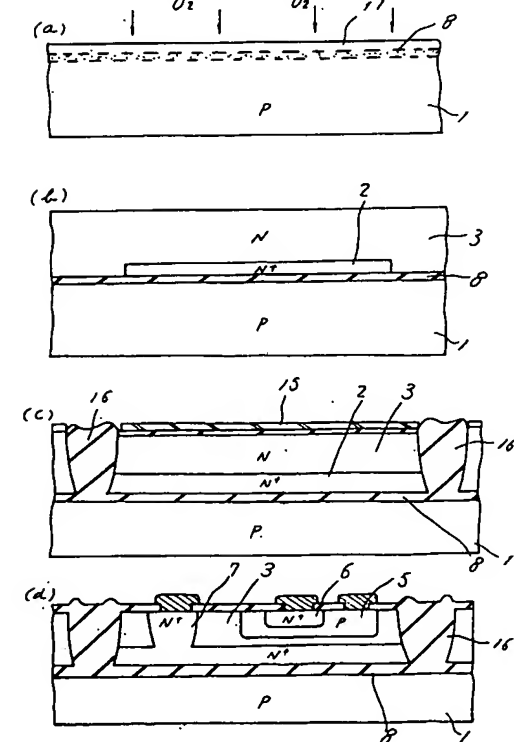
第 3 回



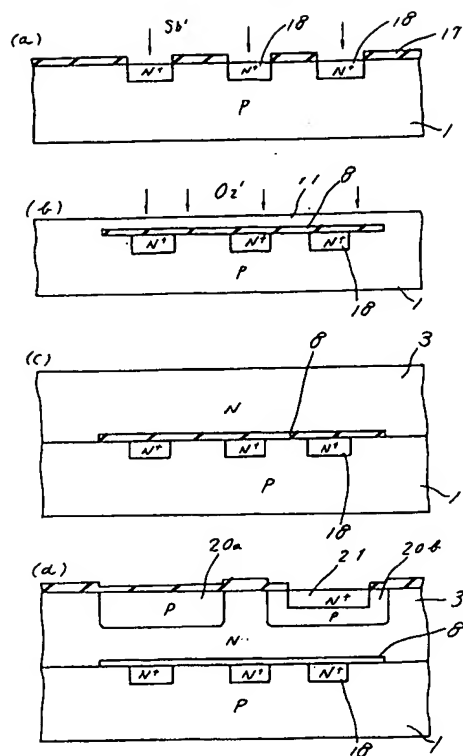
第 4 圖



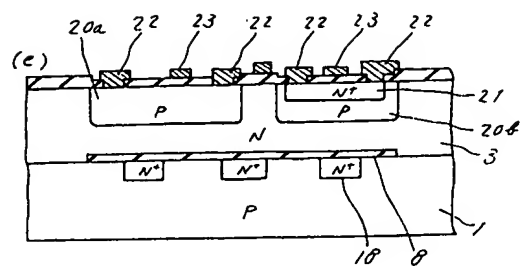
第 5 图



第 6 図



第 6 図



第 7 図

